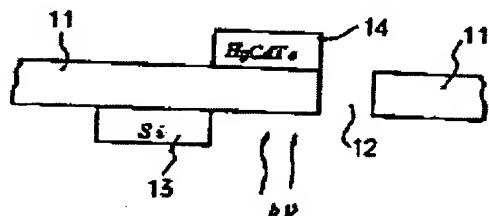
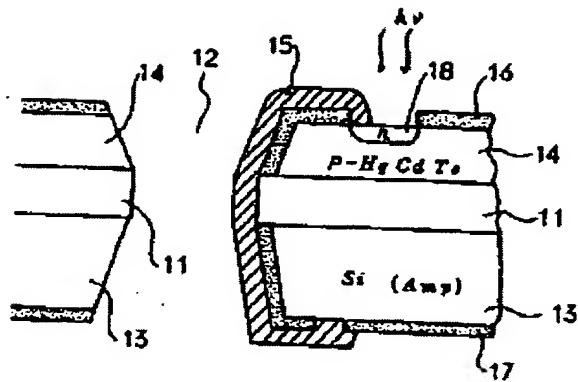


Title: SEMICONDUCTOR DEVICE**Abstract:**

Source: JP61128564A2 PURPOSE: To eliminate the need for a process, in which separate substrate is bonded, by forming a photodetecting section and a driving circuit on the same substrate and connecting both by a wiring through a through-hole. CONSTITUTION: An amplifier and other driving circuits are shaped to an Si growth layer 13, and an n type region 18 is formed through the implantation of B⁺ ions in order to shape a P-N junction for a photodetecting element. Al15 for a wiring is shaped so as to unit one part of the n type region 18 and the Si growth layer 13 side where the driving circuit is formed, and shaped through a method, such as ion beam evaporation, electron beam evaporation, etc. while masking sections except a required section. Al is evaporated from both upper and lower surfaces, and the wiring is connected by plating. A HgCdTe growth section 14 in the photodetecting element section and the Si growth layer 13 are displaced, and formed on both surfaces of a sapphire substrate 11.



International class (IPC 1-7): H01L27/14 H01L31/02 H01L31/10

European class: H01L27/148J2

Family:	Publication number	Publication date	Application number	Application date
	JP61128564 A2	19860616	JP19840250758	19841128

Priority: JP19840250758 19841128

Assignee(s): FUJITSU LTD

Inventor(s): MARUYAMA KENJI

PatBase - Search results Saturday, March 25, 2006
Search query (1): pn=JP61128564
Results: 1

Search history

Search 1: pn=JP61128564 (Results 1)

Best Available Copy

⑫ 公開特許公報 (A) 昭61-128564

⑬ Int. Cl.

H 01 L 27/14
31/02
31/10

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)6月16日

7525-5F

7733-5F

6819-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭59-250758

⑰ 出願 昭59(1984)11月28日

⑱ 発明者 丸山 研二 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 玉蟲 久五郎 外1名

明細書

1. 発明の名称 半導体装置

2. 特許請求の範囲

(1) 貫通孔を有するサファイア基板の一方の面に化合物半導体を用いた光検知素子が備えられ、反対側の面に該光検知素子の駆動回路が備えられ、該光検知素子と駆動回路との結合が前記貫通孔を介した配線によりなされていることを特徴とする半導体装置。

(2) 前記化合物半導体が $HgCdTe$ であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、光の検知装置に係り、特にサファイア基板の片面に $HgCdTe$ の光起電力 (PV) 型検知素子を作製し、サファイア基板の他の片面に、 Si 等他の半導体を用いた駆動回路を形成した半導体装置に関するもの。

〔従来の技術〕

従来、光検知部と駆動部とは別々の基板上に作られ、それらを第4図に示すようにワイヤ3を用いて接続することがなされている。1が光検知部、2が駆動部である。あるいは第5図に示すようにバンプ4によって光検知部1と駆動部2とを結合している。

〔発明が解決しようとする問題点〕

しかし、従来の装置においては、ワイヤボンディングでは線の数が多くなるという欠点があり、またバンプでは、バンプ形成、および貼り合せが難しいという欠点があった。いずれにせよ、従来の装置においては光検知部と駆動部との結合のための工程が必要であった。本発明は、光検知部と駆動部とを従来のように別々の基板に作製せずに、1枚の基板に作成でき、かつ両者の結合工程を省略できるような半導体装置の構造を提供しようとするものである。

〔問題点を解決するための手段〕

本発明においては、貫通孔を有するサファイア基板の片面に、化合物半導体を用いた光検知素子

が備えられ、該サファイア基板の反対の面に前記光検知素子の駆動回路が備えられ、該光検知素子と駆動回路との結合が前記貫通孔を介した配線によりなされていることを特徴とする半導体装置を提供する。

例えば、化合物半導体として $HgCdTe$ を用い、駆動回路は Si を用いて形成するものである。

〔作用〕

本発明においては、 $5\ \mu m$ までの光を透過させるサファイア基板の片面に光検知素子を、他の面に駆動回路を作製しており、貫通孔を介した両者の結合を配線の Al 等の蒸着により行うことができ、ワイヤボンディングやバンプによる結合工程が省略できる。

また、本発明においては、サファイア基板は $5\ \mu m$ までの光を透過させるので、長波長光の背面入射を可能とする。さらに、前面入射と背面入射を組合せることによつて、背景信号の除去（雑音の除去）を可能とする。

また、本発明において、サファイア基板に直接

セブタ上の基板に成長せしめる。その際、反応槽は数 $+ torr$ に減圧し、成長層の $HgCdTe$ の Hg 蒸気圧が雰囲気の Hg 蒸気圧とバランスするような条件で行う。このため、 Hg （単体）溜を成長装置内に設け、該 Hg 溜の温度を $200\sim300\ ^\circ C$ 程度に加熱することにより、 Hg の反応槽内蒸気圧を制御する。該 $HgCdTe$ の成長層は P 形が得られるから、これにイオン注入で B^+ を注入して $P-n$ 接合を形成することにより光検知素子を形成する。

④ 図 Dにおいて、サファイア基板 11 の貫通孔 12 に Al 配線層 15 を設け、光検知部と駆動回路を結合する配線とする。この Al 配線層 15 の形成は数 μm 又はこれ以下の膜厚で良く、貫通孔 12 及び光検知部と駆動回路の接続すべき箇所以外をマスクし、斜め蒸着法によつて、上・下両面から Al を蒸着した後、メッキでつなぐ。

以下、より具体例を示すと、サファイア基板 11 は厚さ $200\sim300\ \mu m$ 、貫通孔 12 の幅を $50\ \mu m$ 程度、貫通孔同志の間隔は $100\ \mu m$ 程度とする。 Si の成

$HgCdTe$ がエピタキシャル成長されることも特長的である。

〔実施例〕

第 1 図 A～D に本発明の実施例の半導体装置の作製プロセスを示す。

- ① 図 Aにおいて、まずサファイア基板 11 に光検知部に合わせて貫通孔 12 をあける。これは濃硫酸、濃リン酸を用いたエッチングにより行う。
- ② 図 Bにおいて、サファイア基板 11 上に Si を成長させ、 Si 成長層 13 に拡散等の処理を行なつて、駆動回路を作製する。これらは、通常の SOS（シリコン・オン・サファイア）技術を用いて行なわれる。
- ③ 図 Cにおいて、サファイア基板 11 の裏面に $HgCdTe$ を成長させ、光検知素子を作製する。 $HgCdTe$ の成長は MOCVD（有機金属を原料とする成長法）により行うものであり、例えば、ジ・エチル・テルル ($DETe$)、ジ・メチル・カドミ ($DMeCd$)、ジ・メチル・水銀 ($DMeHg$) を原料とし、 $400\sim500\ ^\circ C$ 程度に高周波加熱したサ

長層 13 の厚さは $2\ \mu m$ 程度、 $HgCdTe$ 成長層の厚さは $20\ \mu m$ 程度とする。第 2 図に光検出部と Si を用いた駆動回路部を含む貫通孔 12 の部分拡大図を示しており、13 がアンプその他の駆動回路が形成される Si 成長層、11 がサファイア基板、14 が $HgCdTe$ (P 形) 成長層、であり、光検知素子の $P-n$ 接合を形成するために B^+ のイオン注入により n 形領域 18 を形成する。16 は ZnS の保護膜、17 は SiO_2 膜である。なお、図において、 Si 成長層に形成される駆動回路は通常のものであるので、特に示していない。配線の Al 15 は n 形領域 18 の一部と駆動回路が形成される Si 成長層 13 側とを結合するよう形成される。例えば、必要部分以外をマスクしてイオンビーム蒸着や電子ビーム蒸着等で形成する。この Al 蒸着は、上・下両面から行なう。さらにメッキで配線をつなぐ。

第 3 図には、特に背面入射に適する半導体装置の構造を示しており、光検知素子部の $HgCdTe$ 成長層 14 と Si 成長層 13 をずらしてサファイア基板 11 の両面に形成している。

以上本発明について実施例を示したが、これらは多くの変形が可能なことはもちろんであり、例えば、第1図A、Bの工程を変更し、まずSOS基板を用意し、次に貫通孔12をあけるようになるとともできる。

〔発明の効果〕

本発明によれば、以上のように、光検知部と駆動回路を同一基板の表・裏に形成し、貫通孔を介した配線により接続することにより、従来のように別々の基板を結合する工程が不要になる。さらに、本発明の半導体装置によれば、前面(光検知素子側)入射と背面(サファイア基板側より)入射とを組合せることにより、背景信号(雑音)の除去が可能になるという利点がある。

4. 図面の簡単な説明

第1図A～Dは、本発明の実施例を説明するための工程図。

第2図は本発明の実施例の半導体装置の部分拡大断面図。

第3図は本発明の背面入射に適した実施例の説

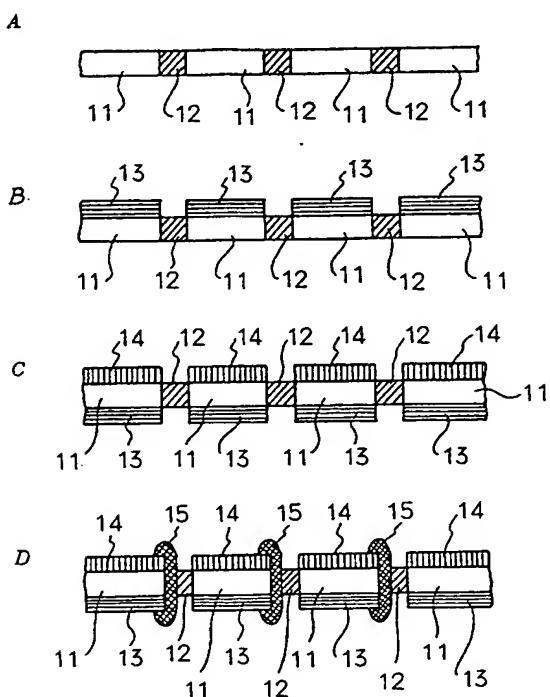
明図、

第4図及び第5図は従来の半導体装置の説明図。

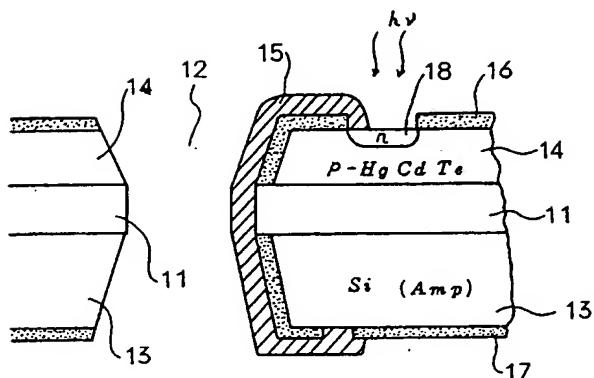
- 11 … サファイア基板
- 12 … 貫通孔
- 13 … Si成長層
- 14 … HgCdTe成長層
- 15 … Al(配線)
- 16 … 保護膜

特許出願人 富士通株式会社
代理人 弁理士 玉蟲久五郎(外1名)

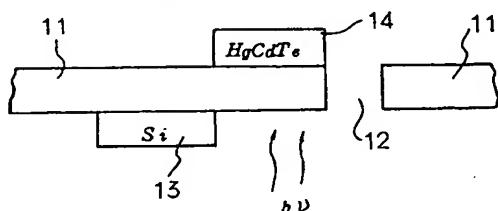
第1図



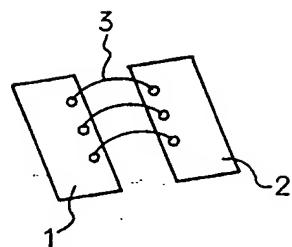
第2図



第3図



第 4 図



第 5 図

